

Kapitel 6

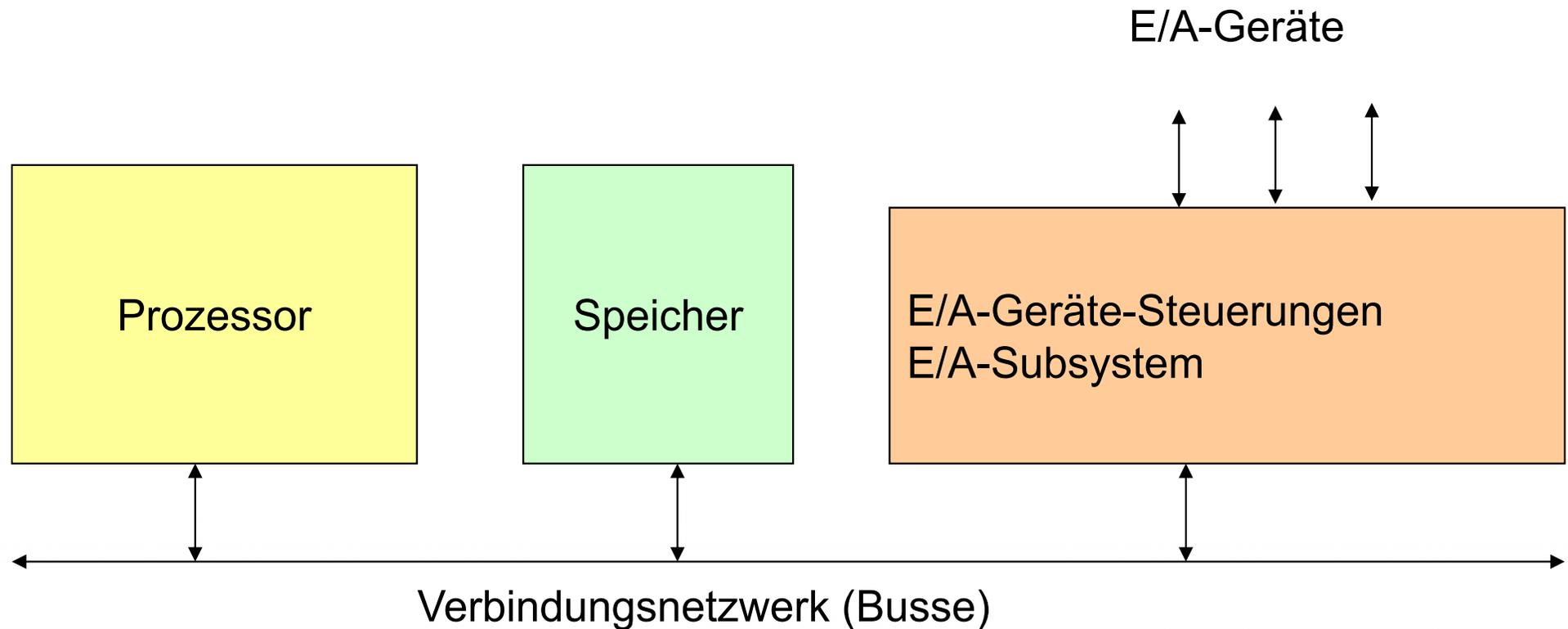
Speicher

Halbleiterspeicher

Aufbau und Organisation

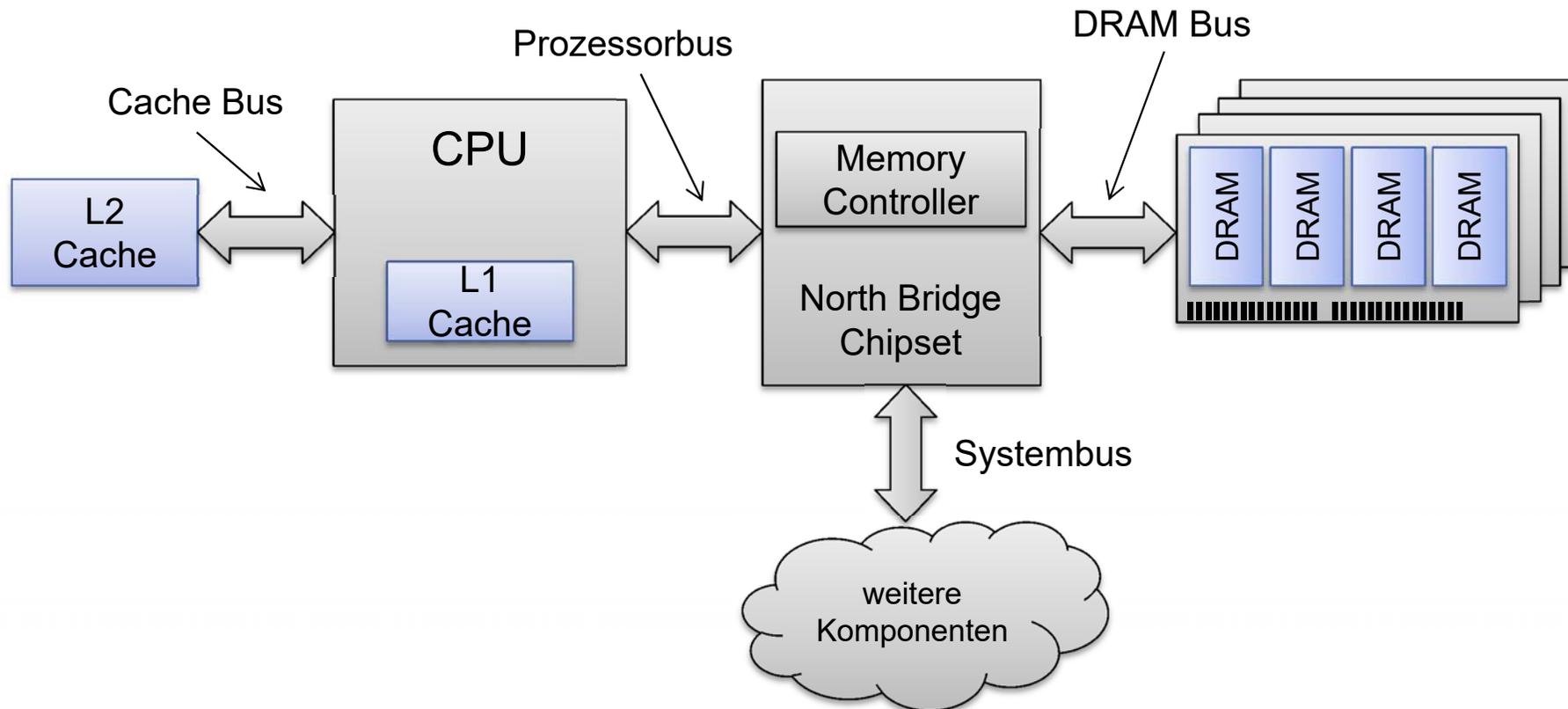
6. Speicher

■ Einfaches Rechnermodell



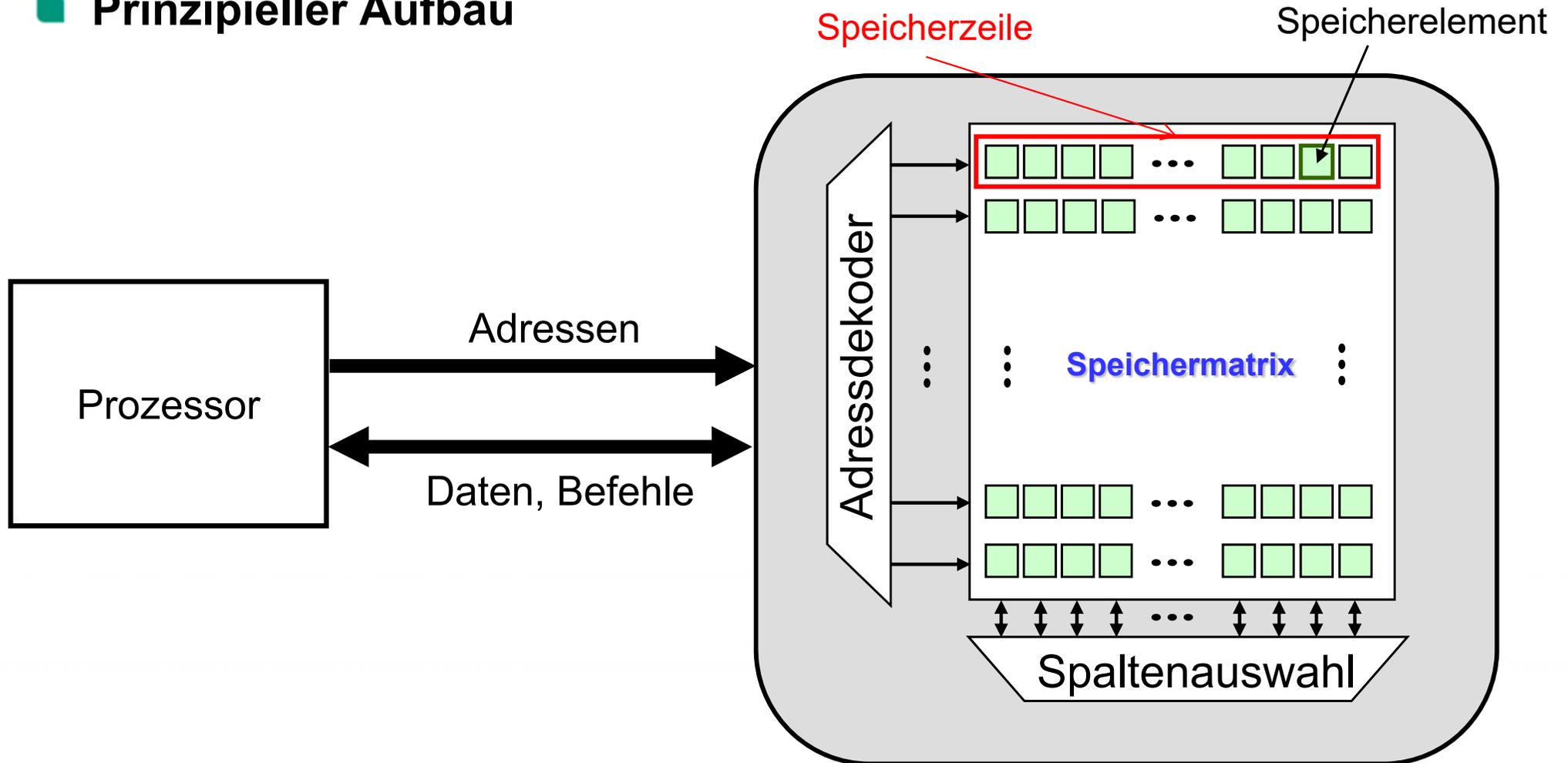
6. Speicher

■ Beispiel: Aufbau klassischer PC



6. Speicher

■ Prinzipieller Aufbau



6. Speicher

■ Prinzipieller Aufbau

■ Speicherelement (Speicherzelle):

- Speichert eine 1 Bit Information

■ Speichermatrix

- Anordnung der Speicherzellen in Form einer Matrix
 - Anwahl eines Speicherelements durch Selektieren der ihm zugeordneten Zeile und Spalte

■ Speicherzeile

- Bei Zugriffsbreiten von mehr als einem Bit wird auf entsprechend mehrere nebeneinanderliegende Bits innerhalb einer Zeile parallel zugegriffen

6. Speicher

■ Prinzipieller Aufbau

■ Wahlfreier Zugriff (random access):

- jede Speicherzeile wird direkt angesprochen (ohne vorher andere Zeilen ansprechen zu müssen)
- Die Selektion erfolgt über einen Adressdekoder (Zeilendekoder)
 - Die Adresse wird in einen 1-aus-n Code umgeformt

■ Speicher-Organisation:

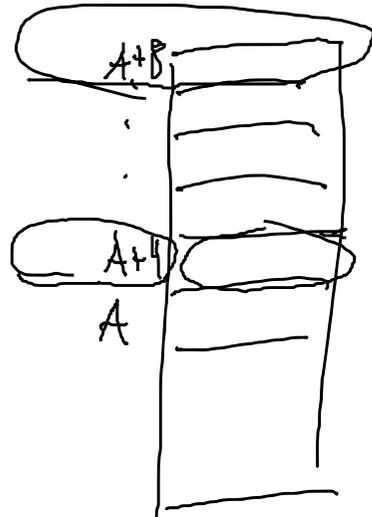
- wird durch die Anzahl n seiner Zeilen und die Anzahl m der Spalten (d.h. Speicherelemente pro Zeile) definiert
- Angabe in der Form: $n \times m$ Bit
- Beispiele:
 - 4k x 8 Bit Speicher enthält 4096 Speicherzeilen je 8 Bit

1M x 1 Bit

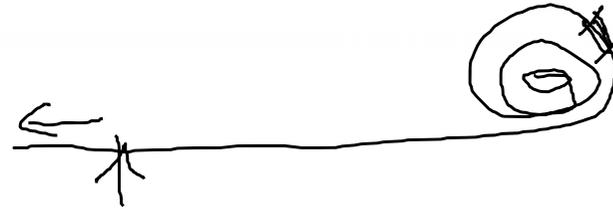
■ Kapazität:

- Informationsmenge (in Bit), die im Speicher untergebracht werden kann:
 $n \times m$ Bit

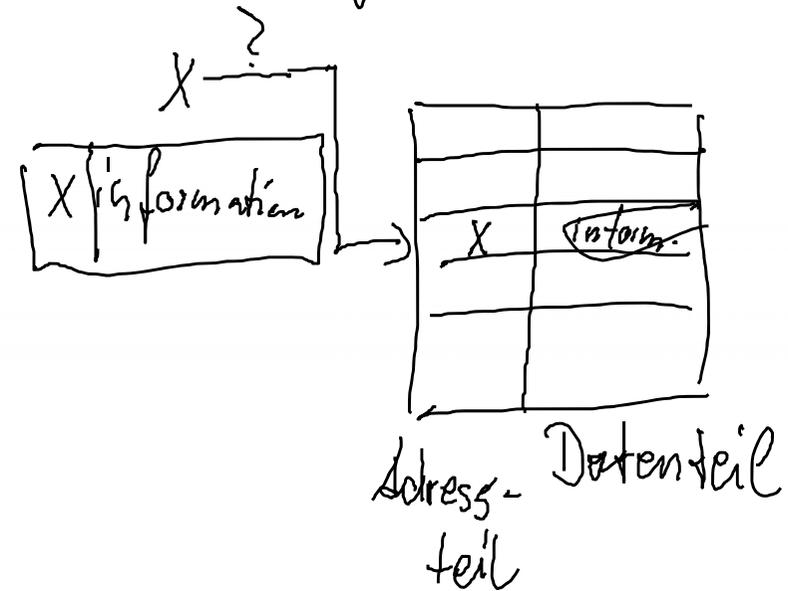
wahlfreier Zugriff



sequenziellen Zugriff



Inhaltsbezogener Zugriff



6. Speicher

■ Prinzipieller Aufbau

- **Arbeitsgeschwindigkeit eines Speicherbausteins:**

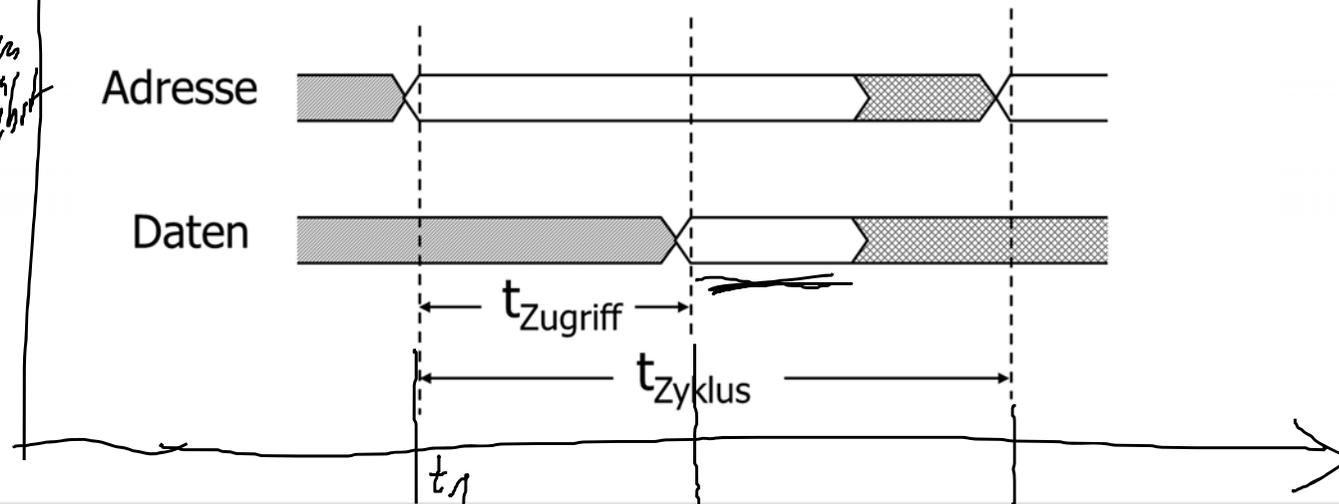
- **Zugriffszeit (access time):**

- maximale Zeitdauer, die vom Anlegen einer Adresse an den Speicher bis zur Ausgabe der gewünschten Daten vergeht

- **Zykluszeit (cycle time):**

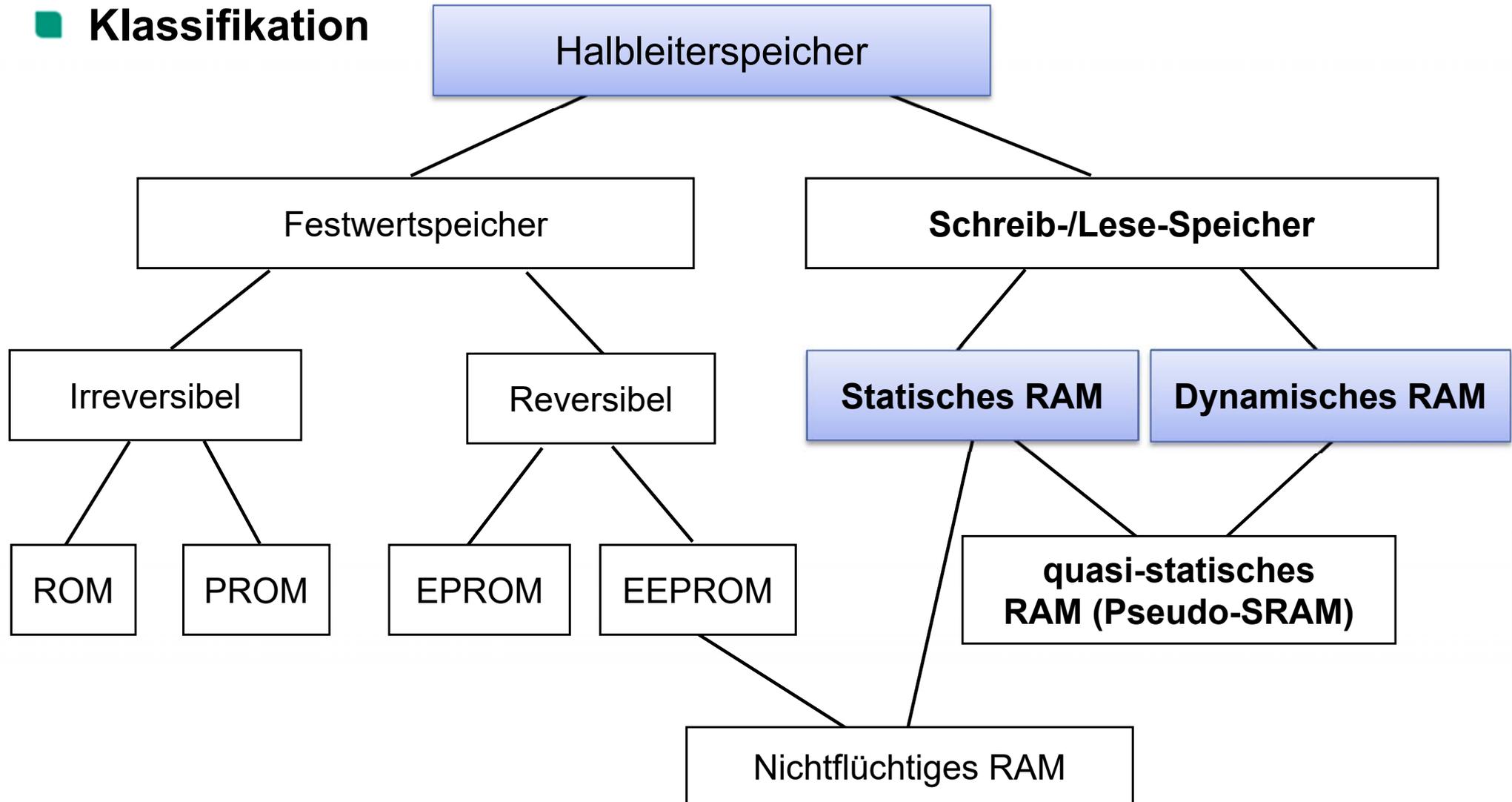
- minimale Zeitdauer, die zwischen zwei hintereinander folgenden Umschaltungen von Adressen an den Speicher vergehen muss

*Signal-
änderungen
aufgeführt*



6.1 Speicherbausteine

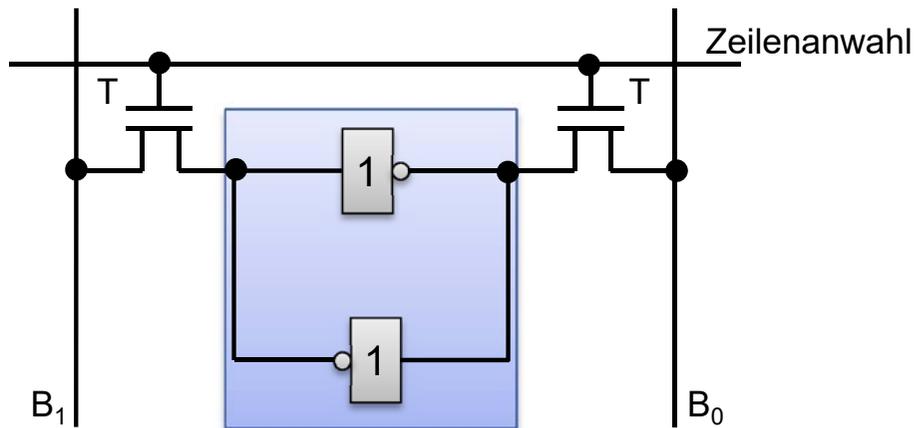
■ Klassifikation



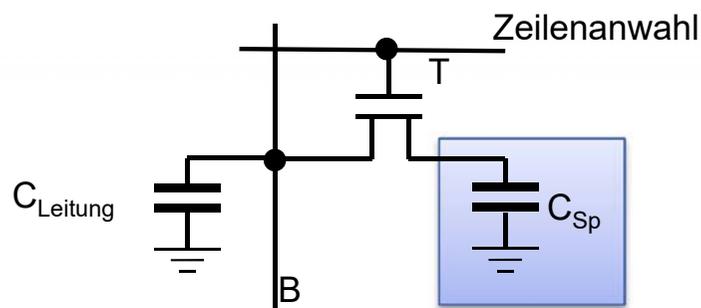
6.1 Speicherbausteine

- Speicherelement (Speicherzelle)

- 1-Bit Speicherzelle eines statischen RAM-Bausteins



- 1-Bit Speicherzelle eines dynamischen RAM-Bausteins



6.2 Speicheraufbau

■ Speicherbausteine

■ Statischer RAM-Baustein (SRAM)

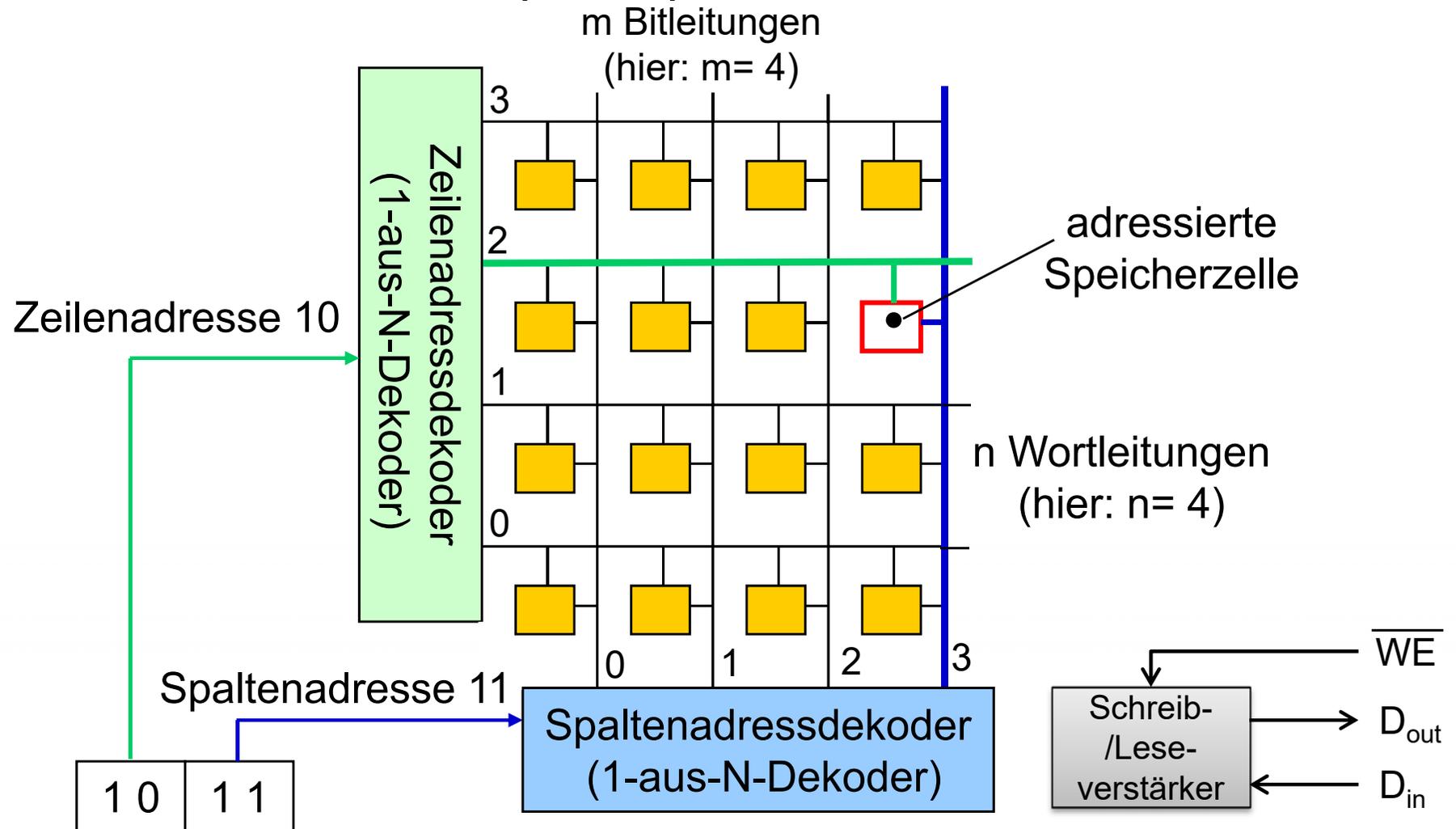
- Schneller Zugriff aber hohe Kosten
- Begrenzte Speicherkapazitäten
- Typischerweise für Caches

■ Dynamischer RAM-Baustein (DRAM)

- Langsamer Zugriff, dafür kostengünstiger
- Etwa 4x so große Speicherkapazität wie SRAMs
- Hauptspeicher

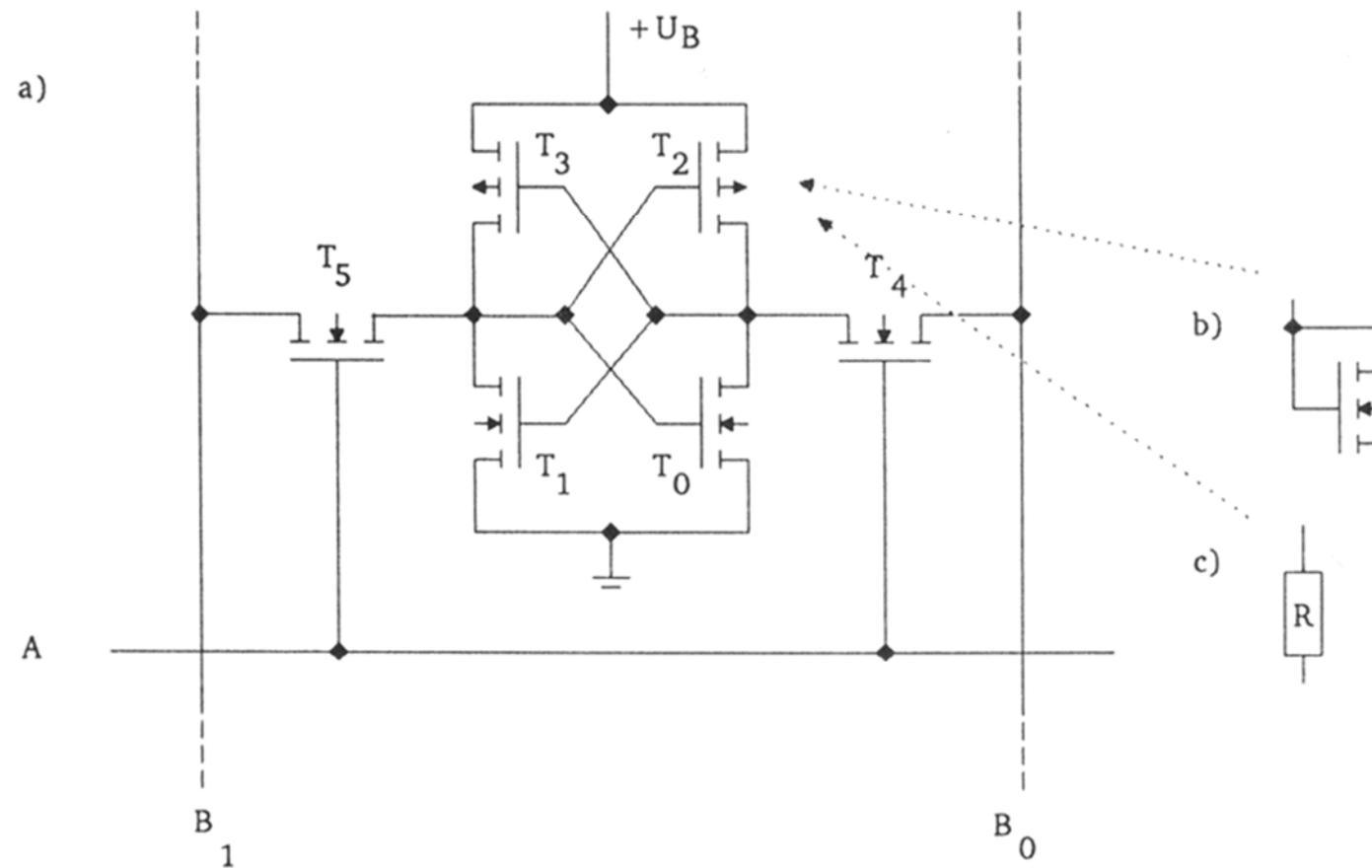
6.2.1 SRAM-Bausteine

■ Statischer RAM-Baustein (SRAM)



6.2.1 SRAM-Bausteine

■ 1-Bit Speicherzelle eines statischer RAM-Bausteins (SRAM)



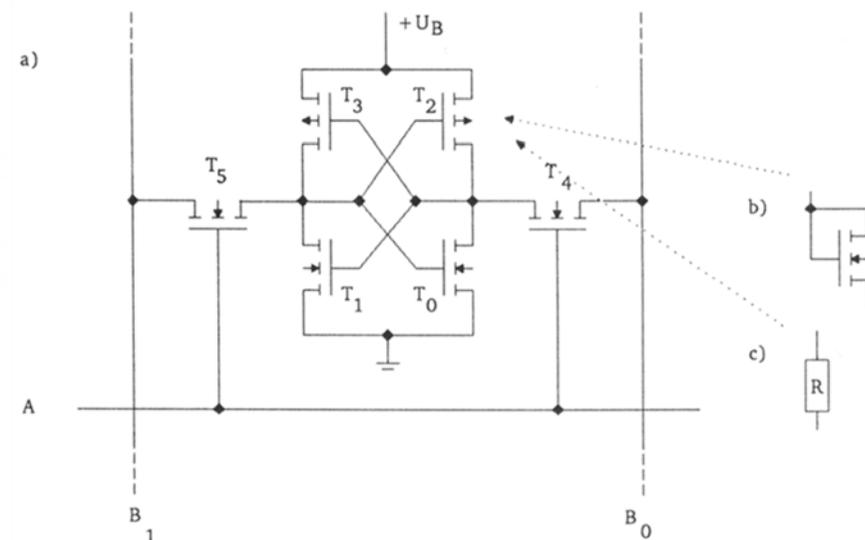
6.2.1 SRAM-Bausteine

- **1-Bit Speicherzelle eines statischer RAM-Bausteins (SRAM)**
 - Eine statische CMOS-Speicherzelle besteht aus
 - 2 **kreuzweise rückgekoppelten Invertern** (T_0, T_2 bzw. T_1, T_3)
 - 2 Transistoren T_4 und T_5 zur Ankopplung an die Bitleitungen
 - → **6 Transistor Zelle** (6T Zelle)
 - Vorteil:
 - Nur zum Umschaltzeitpunkt fließt Strom
 - nMOS-Zelle:
 - Inverter aus n-Kanal-Transistor und Widerstand wird benutzt (Varianten b, c)

6.2.1 SRAM-Bausteine

■ 1-Bit Speicherzelle eines statischer RAM-Bausteins (SRAM)

- Die Zelle wird über die Zeilenanwahlleitung angewählt
- Zeilenanwahlleitung steuert die Transistoren T_4 und T_5 , die den nichtinvertierten und den invertierten Anschlusspunkt der Speicherzelle mit den Datenleitungen B_1 und B_0 verbinden
- Beim Schreiben werden diese Leitungen mit dem Schreibpotential bzw. dem invertierten Potential belegt
- Beim Lesen werden die von der Zelle gelieferten Potentiale durch den Leseverstärker ausgewertet



6.2.2 DRAM-Bausteine

- **1-Bit Speicherzelle eines dynamischen RAM-Bausteins (DRAM)**
 - Nur 1 Transistorzelle
 - **Integrationsdichte** ca. 4 mal höher als SRAM
 - Daten werden als elektrische Ladung in dem Kondensator gespeichert
 - Das Lesen bewirkt eine Entladung (**destructive read**)
 - Nach dem Lesen muss wieder eingeschrieben werden
 - Die Ladung geht nach einiger Zeit auch durch **Leckströme** verloren
 - Periodische Auffrischung erforderlich (**refresh**)

6.2.2 DRAM-Bausteine

- **1-Bit Speicherzelle eines dynamischen RAM-Bausteins (DRAM)**
 - Bei Anwahl durch die Zeilenanwahlleitung mittels des Transistors T_S wird der Kondensator mit der Datenleitung B verbunden
 - Anlegen einer positiven Spannung U_{GS} (über A) → Speichertransistor wird leitend
 - **Schreiben:**
 - Liegt nun die Bitleitung B auf Masse
 - Elektronen werden auf die Drain-Zone aufgebracht, der Speicherkondensator geladen
 - Liegt die Bitleitung B auf U_B
 - Elektronen werden von der Drain-Zone abgesaugt, der Speicherkondensator entladen
 - Zuordnung logisch 0 (logisch 1) zu Ladung (keine Ladung) ist rein willkürlich

6.2.2 DRAM-Bausteine

■ 1-Bit Speicherzelle eines dynamischen RAM-Bausteins (DRAM)

■ Lesen:

■ Problem:

- Speicherkapazität hat ungefähr die gleiche Größe wie parasitäre Leitungskapazität der Bitleitung

■ Lösung:

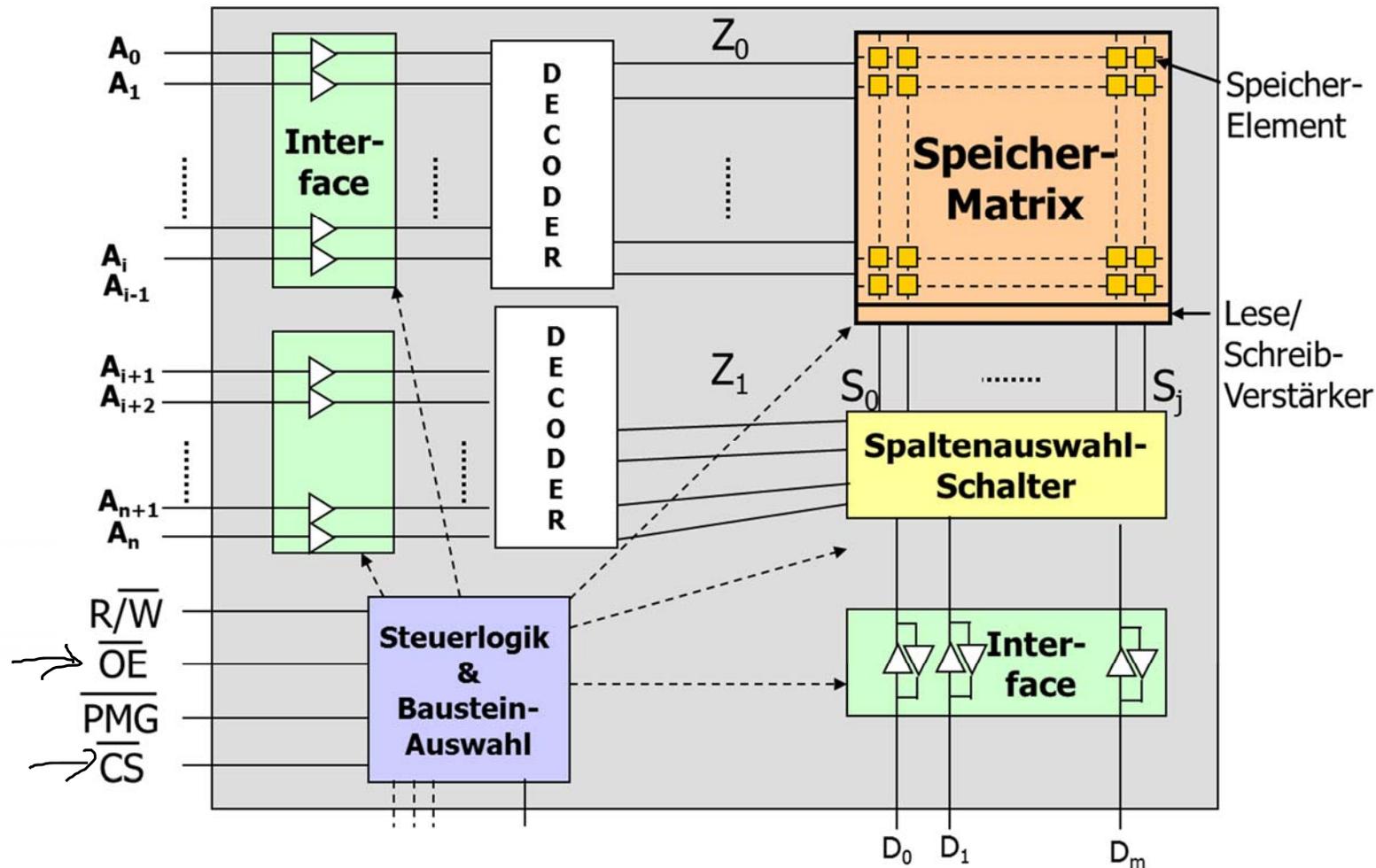
- Das Lesen durch Ladungsvergleich zwischen Leitungskapazität und Speicherkapazität

■ Ablauf:

- Zunächst wird die Leitungskapazität vorgeladen (precharge), indem die Bitleitung kurz über TL mit +UB verbunden wird
- Zum Lesen wird dann über A und den Speichertransistor die Speicherkapazität mit der Bitleitung B verbunden
- Ist die Speicherkapazität geladen, so findet ein Ausgleich mit den Ladungsträgern der Bitleitung B statt
- Leseverstärker am Ende der Bitleitung mißt die Spannung an der Bitleitung. Nach dem Precharge +UB. Nach aufschalten der Speicherkapazität entweder immer noch +UB oder deutlich weniger.

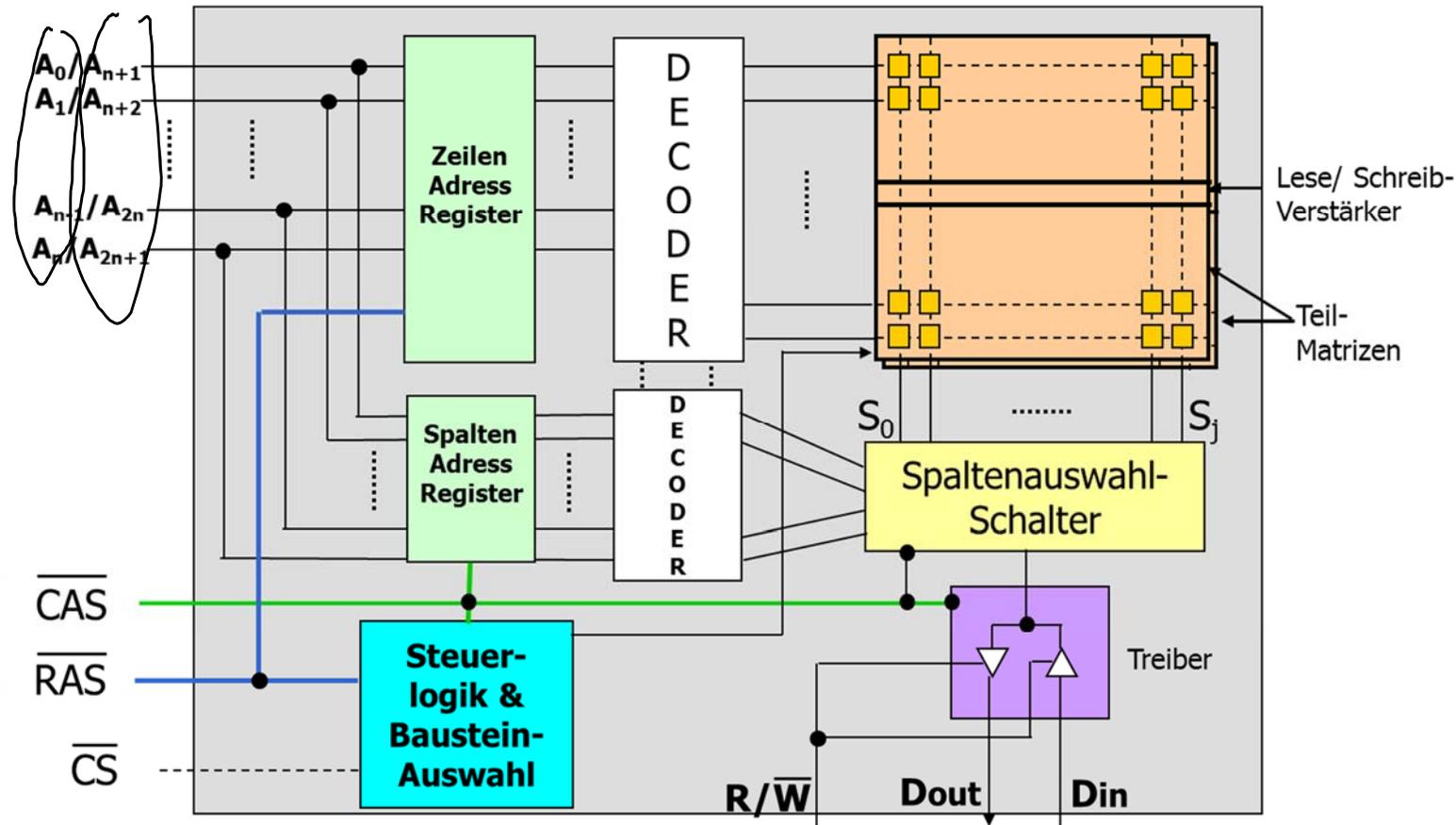
6.2.2 DRAM-Bausteine

■ Grundsätzliche Struktur eines Speicherbausteins



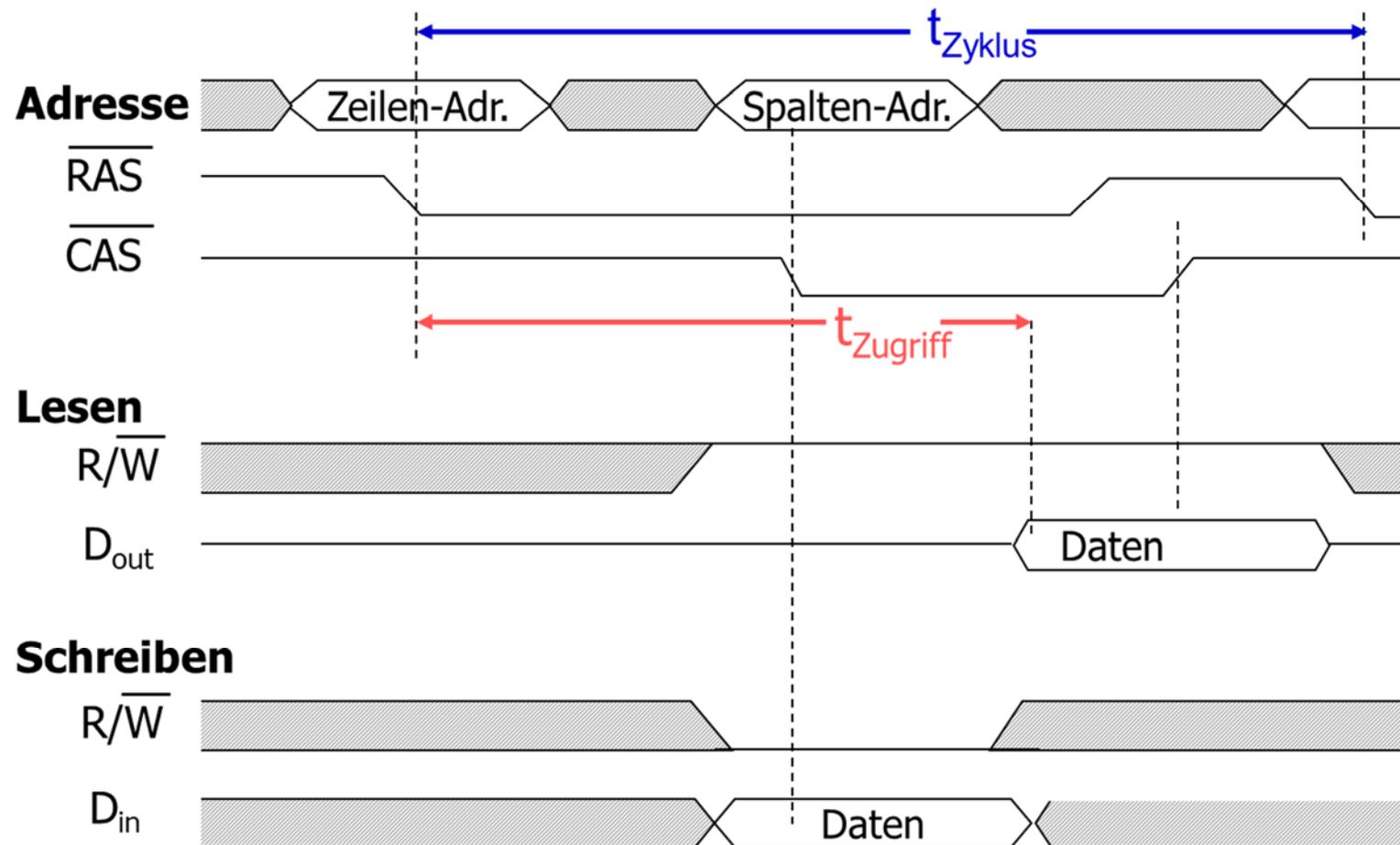
6.2.2 DRAM-Bausteine

■ Grundsätzliche Struktur eines dynamischen RAM-Bausteins



6.2.2 DRAM-Bausteine

- Ansteuerung eines dynamischen RAM-Bausteins
 - Adressierung, Lesen und Schreiben

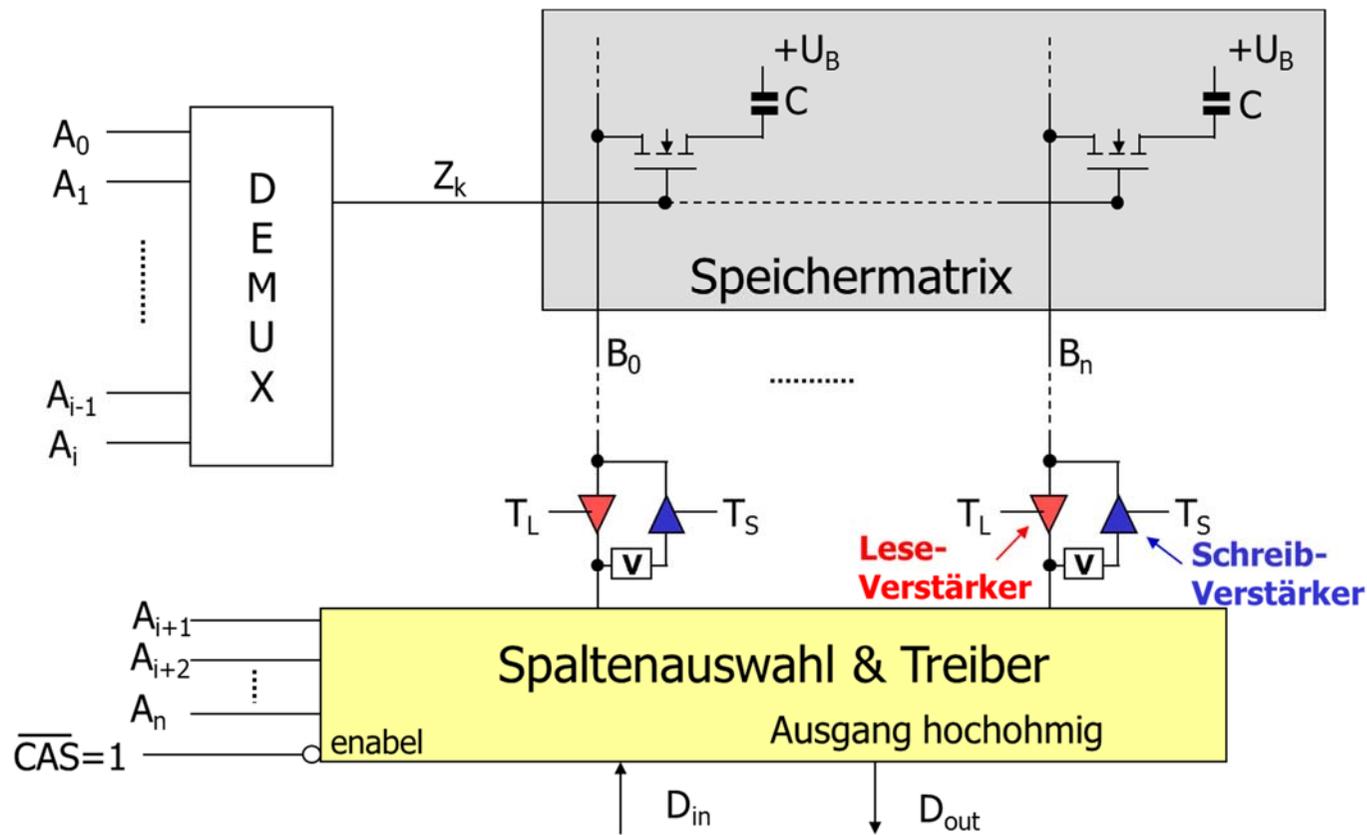


6.2.2 DRAM-Bausteine

- **Ansteuerung eines dynamischen RAM-Bausteins**
 - **Auffrischen (Refresh)**
 - Kondensator entlädt sich
 - beim Lesevorgang aufgrund der Leitungskapazitäten und
 - Fortwährend aufgrund von Leckströmen innerhalb einer Zelle
 - Konsequenz:
 - Ladung muss nach dem Lesen wieder hergestellt werden
 - Alle Zellen der Speichermatrix müssen innerhalb einer Mindestzeit wieder aufgefrischt werden

6.2.2 DRAM-Bausteine

- Ansteuerung eines dynamischen RAM-Bausteins
 - Aufbau der Auffrischlogik



6.2.2 DRAM-Bausteine

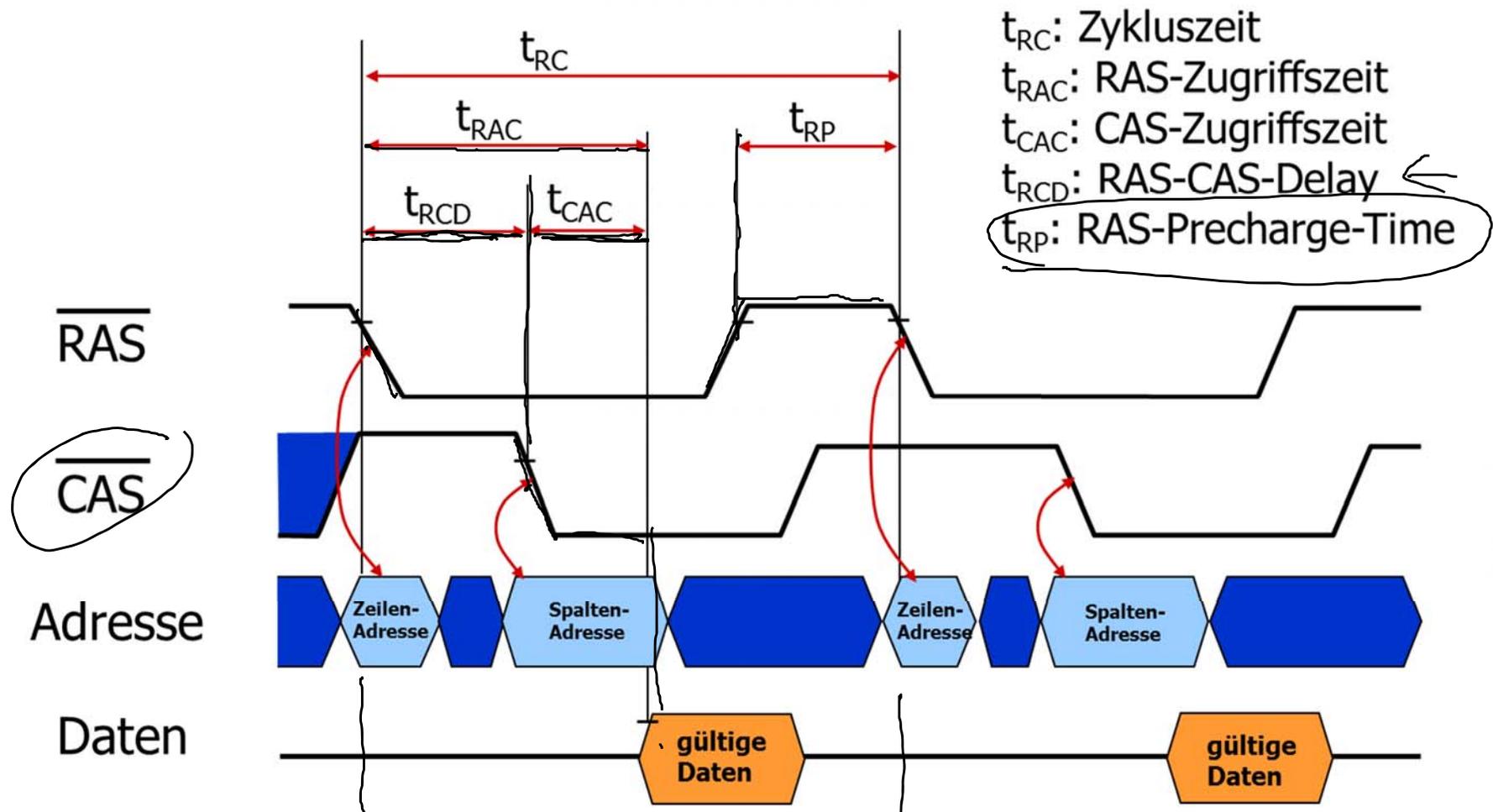
- **Ansteuerung eines dynamischen RAM-Bausteins**
 - **Auffrischen (Refresh)**
 - Geschieht einerseits implizit mit jedem Schreib- / Lesezyklus
 - Sämtliche Bits der ausgewählten Matrixzeile werden in eine entsprechende Anzahl von Flipflops ausgelesen, die Bestandteile der Lese- / Schreibverstärker sind
 - Von dort werden sie wieder verstärkt in die Speicherzellen zurückgeschrieben

6.2.2 DRAM-Bausteine

- **Ansteuerung eines dynamischen RAM-Bausteins**
 - **Auffrischen (Refresh)**
 - Alle Matrixzeilen müssen in einem regelmäßigen Abstand aufgefrischt werden (explizite Refresh-Zyklen)
 - Geschieht zeilenweise, jede Zeile muss aufgefrischt werden
 - Refresh-Zähler adressiert Matrixzellen mit aufsteigender Adressierung

6.2.2 DRAM-Bausteine

- Ansteuerung eines dynamischen RAM-Bausteins
 - Signal-Parameter



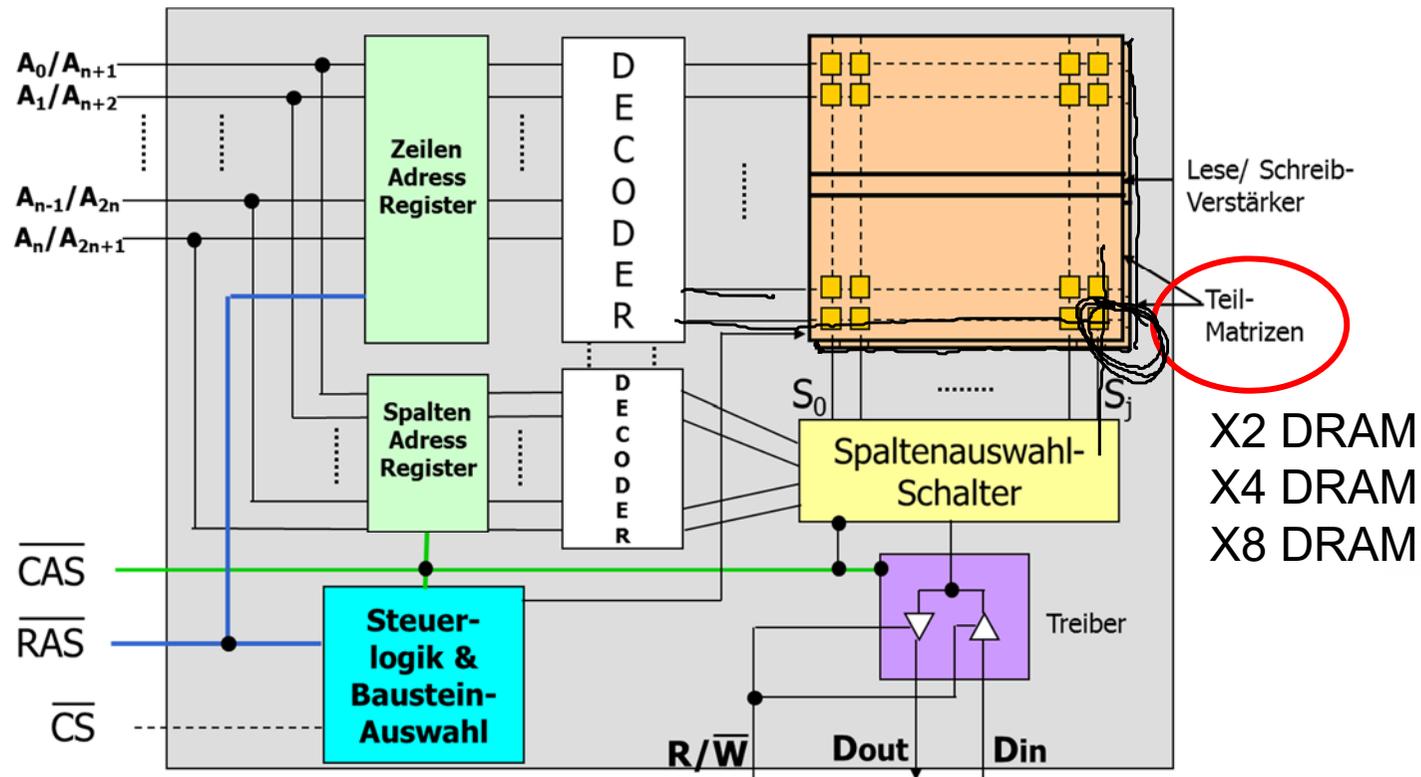
6.2.2 DRAM-Bausteine

- **Ansteuerung eines dynamischen RAM-Bausteins**
 - **Signal-Parameter**
 - **t_{RAC}** : minimale Zeitdauer, die zwischen der fallenden Flanke von RAS bis zur Ausgabe der gewünschten Daten vergeht
 - $t_{RAC} =$ z.B. 60 ns (bei einem 4 MB DRAM)
 - **t_{RC}** : Minimale Zeitdauer von Beginn eines Zeilenzugriff bis zum nächsten (Zykluszeit)
 - $t_{RC} =$ z.B. 110 ns bei einem 4Mbit DRAM mit t_{RAC} von 60 ns
 - **t_{CAC}** : minimale Zeitdauer, die zwischen der fallenden Flanke von CAS bis zur Ausgabe der gewünschten Daten vergeht
 - $t_{CAC} =$ z.B. 15 ns bei einem 4Mbit DRAM mit t_{RAC} von 60 ns
 - **t_{RP}** : Minimale Zeitdauer vom Beginn eines Spaltenzugriffs bis zum Nächsten (page mode cycle)
 - $t_{RP} =$ z.B. 35 ns bei einem 4Mbit DRAM mit t_{RAC} von 60 ns

6.2.2 DRAM-Bausteine

■ Logische Organisation von DRAM-Bausteinen

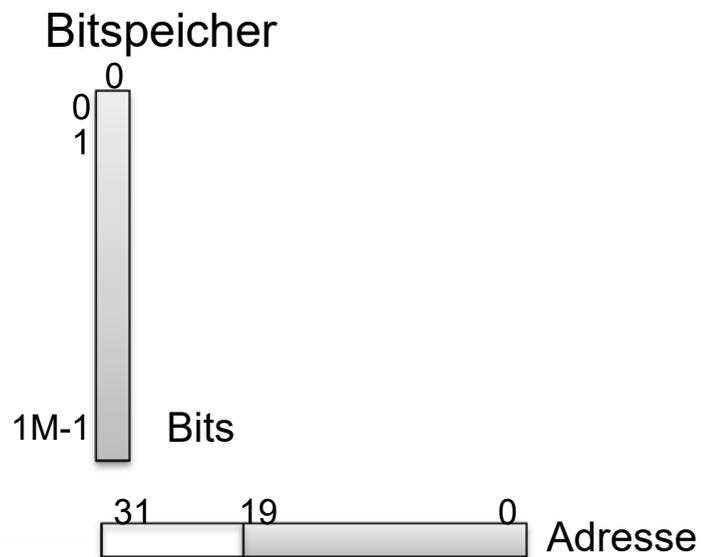
- Falls mehr als ein Bit ausgegeben wird, dann ist der Baustein mit mehreren Teilmatrizen aufgebaut



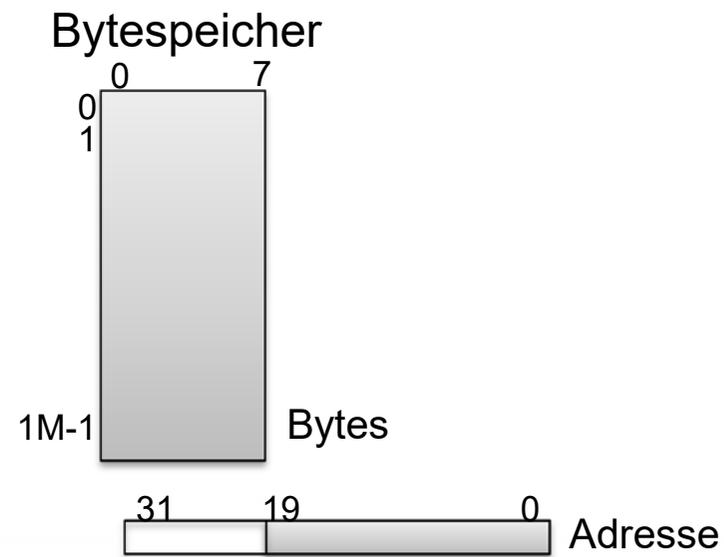
6.2.2 DRAM-Bausteine

■ Aufbau einer Speicherbank

- RAM-Baustein mit einer Zugriffsstruktur von 1M x 1Bit (X1 DRAM)



1-Mbit-Speicherchip

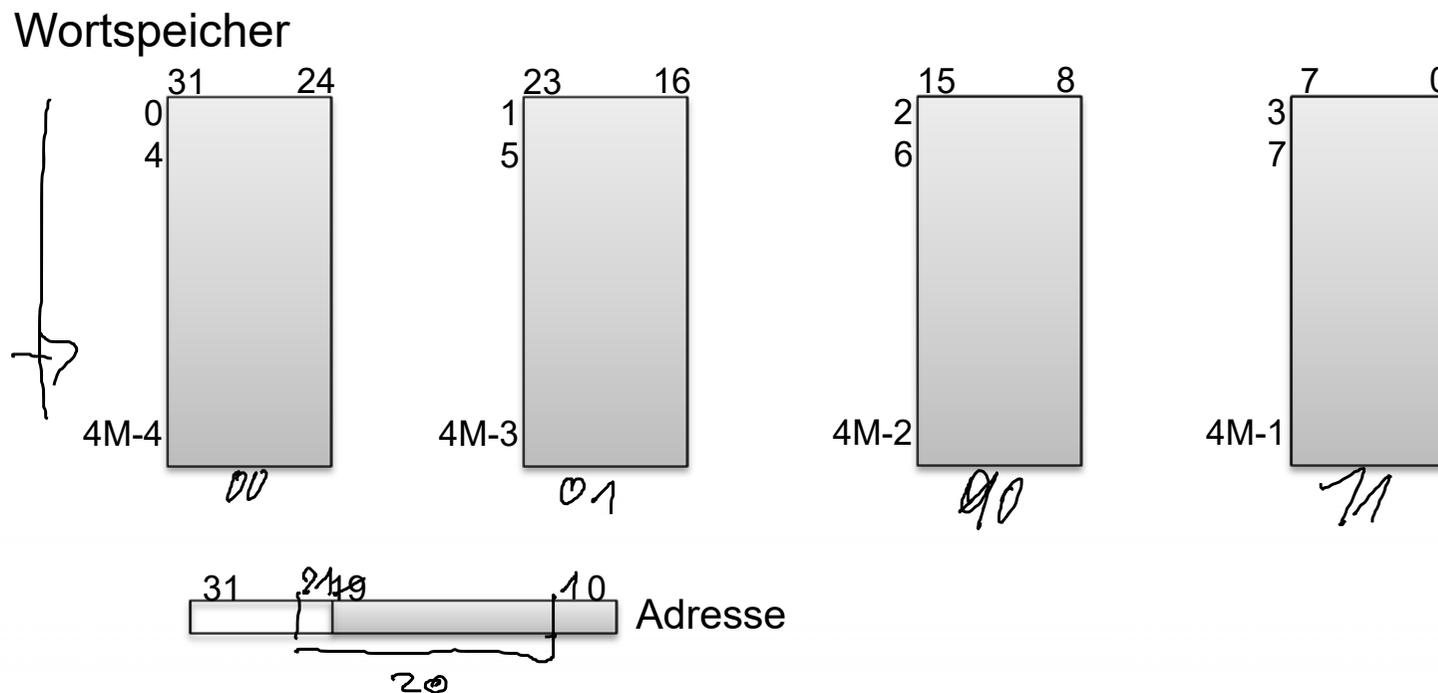


1-MByte-Speicherblock (8Bit breit)
bestehend aus 8 1-Mbit Speicherchips

6.2.2 DRAM-Bausteine

■ Aufbau einer Speicherbank

- RAM-Baustein mit einer Zugriffsstruktur von 1M x 1Bit (X1 DRAM)

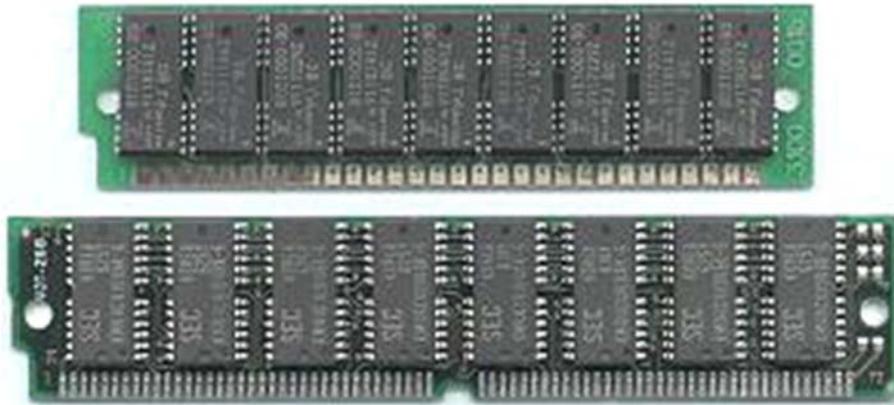


1 Speicherbank (32- Bit breit)
 bestehend aus 4 1-Mbyte-Speicherblöcken

6.2.2 DRAM-Bausteine

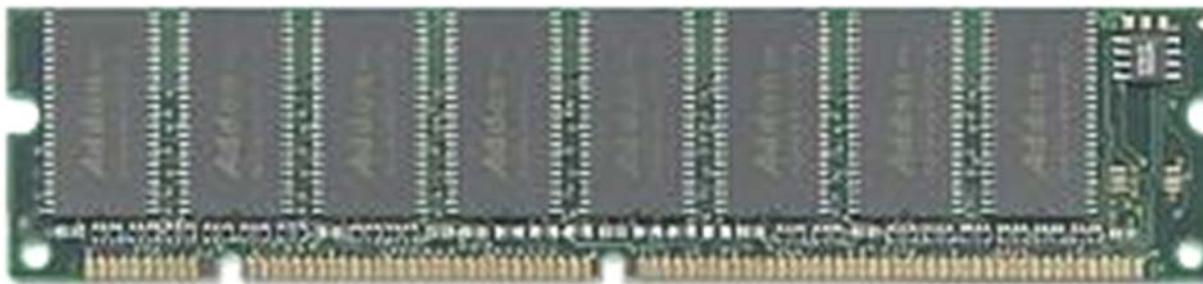
■ DRAM Module

- SIMM (single in-line memory module) (veraltet)



SIMM-Module in der 30- und 72-poligen Ausführung mit Datenbreiten von 8 und 32 Bit

- DIMM (dual in-line memory module)



Die 168-poligen DIMMs besitzen eine Datenbusbreite von 64 Bit